

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229200

(43)Date of publication of application : 25.08.1998

(51)Int.CI.

H01L 29/786

H01L 21/20

H01L 21/268

H01L 21/336

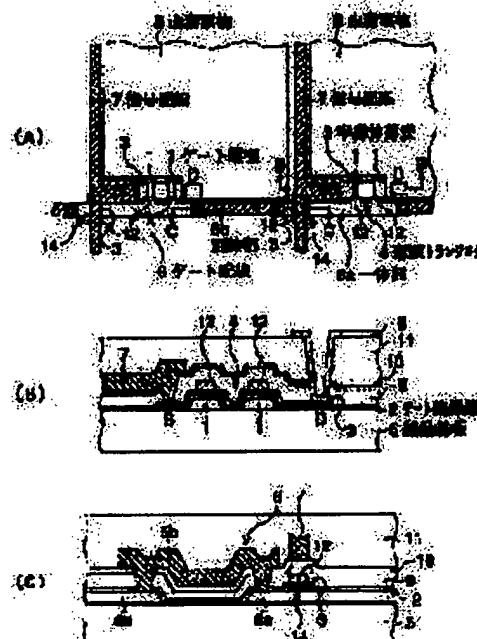
(21)Application number : 09-047114

(71)Applicant : SONY CORP

(22)Date of filing : 14.02.1997

(72)Inventor : KUNII MASABUMI

## (54) THIN-FILM SEMICONDUCTOR DEVICE



### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make recrystallization uniform and optimum by laser annealing of a semiconductor film to form an active layer of a bottom-gate type thin-film transistor and reduce the gate wiring resistance.

**SOLUTION:** This device comprises thin-film transistors 4, integrated on an insulation substrate 5. Each transistor has a bottom gate structure, composed of a gate electrode 1, a gate insulation film 2, and a semiconductor film 3 laminated, in this order. A gate wiring 6, connected to the gate electrode of each transistor 4 is formed on the substrate 5 and composed of integral parts 6a, integrated with the gate electrodes 5 and separate parts 6b interconnecting them. The gate electrode 1 has a thermal conductivity lower than that of the separate parts 6b which have a lower electric resistance than that of the gate electrode 1. The semiconductor film 3 has a polycrystalline structure, recrystallized by energy irradiation.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-229200

(43)公開日 平成10年(1998)8月25日

(51)Int.Cl.<sup>6</sup>  
H 01 L 29/786  
21/20  
21/268  
21/336

識別記号

F I  
H 01 L 29/78  
21/20  
21/268  
29/78  
6 1 7 J  
F  
6 1 7 M  
6 1 7 L

審査請求 未請求 請求項の数5 FD (全8頁) 最終頁に続く

(21)出願番号 特願平9-47114

(22)出願日 平成9年(1997)2月14日

(71)出願人 000002185

ソニー株式会社  
東京都品川区北品川6丁目7番35号

(72)発明者 国井 正文

東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

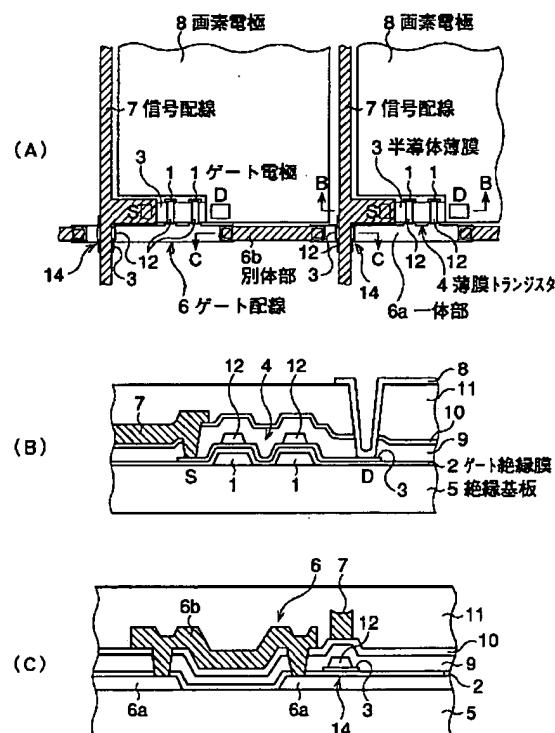
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 薄膜半導体装置

(57)【要約】

【課題】 ボトムゲート型の薄膜トランジスタの活性層となる半導体薄膜のレーザアニールによる再結晶化処理を均一化及び最適化するとともに、ゲート配線の低抵抗化を図る。

【解決手段】 薄膜半導体装置は、下から順にゲート電極1、ゲート絶縁膜2及び半導体薄膜3を積層したボトムゲート構造の薄膜トランジスタ4を絶縁基板5上に集積形成するとともに、各薄膜トランジスタ4のゲート電極1に接続するゲート配線6を絶縁基板5上に形成したものである。ゲート配線6は個々のゲート電極1と一体的に形成された一体部6aと、これらを互いに接続する別体部6bとに分かれている。ゲート電極1はゲート配線6の別体部6bより低い熱伝導性を有する。ゲート配線6の別体部6bはゲート電極1より低い電気抵抗を有する。半導体薄膜3はエネルギー照射により再結晶化された多結晶構造を有する。



## 【特許請求の範囲】

【請求項1】 下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を積層したボトムゲート構造の薄膜トランジスタを絶縁基板上に集積形成するとともに、各薄膜トランジスタのゲート電極に接続するゲート配線を該絶縁基板上に形成した薄膜半導体装置であって、

前記ゲート電極は該ゲート配線の少くとも一部より低い熱伝導性を有し、

前記ゲート配線の少くとも一部は該ゲート電極より低い電気抵抗を有し、

前記半導体薄膜はエネルギー照射により再結晶化された多結晶構造を有することを特徴とする薄膜半導体装置。

【請求項2】 前記ゲート配線は、個々のゲート電極と一体的に形成された一体部と、これらを互いに接続する別体部とに分かれており、

前記ゲート電極は該ゲート配線の別体部より低い熱伝導性を有し、

前記ゲート配線の別体部は該ゲート電極より低い電気抵抗を有することを特徴とする請求項1記載の薄膜半導体装置。

【請求項3】 前記ゲート配線は、個々のゲート電極と同一の導電層に属する下層部と、これに重ねられた別の導電層からなる上層部とに分かれており、

前記ゲート電極は該ゲート配線の上層部より低い熱伝導性を有し、

前記ゲート配線の上層部は該ゲート電極より低い電気抵抗を有することを特徴とする請求項1記載の薄膜半導体装置。

【請求項4】 各薄膜トランジスタのソース電極やドレイン電極を互いに接続する信号配線を含んでおり、該信号配線は前記ゲート配線の一部と同一の導電膜で形成されていることを特徴とする請求項1記載の薄膜半導体装置。

【請求項5】 所定の間隙を介して接合した一对の絶縁基板と、該間隙に保持された電気光学物質とを備え、一方の絶縁基板には対向電極が形成され、他方の絶縁基板には下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を積層したボトムゲート構造の薄膜トランジスタ、各ゲート電極を互いに接続するゲート配線及び各薄膜トランジスタにより駆動される画素電極が集積形成された表示装置であって、

前記ゲート電極は該ゲート配線の少くとも一部より低い熱伝導性を有し、

前記ゲート配線の少くとも一部は該ゲート電極より低い電気抵抗を有し、

前記半導体薄膜はエネルギー照射により再結晶化された多結晶構造を有することを特徴とする表示装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】 本発明は多結晶シリコンなど

を活性層とするボトムゲート型の薄膜トランジスタを絶縁基板上に集積形成した薄膜半導体装置に関する。より詳しくは、600°C以下の低温プロセスで作成される多結晶シリコン薄膜トランジスタの構造に関する。

## 【0002】

【従来の技術】 薄膜半導体装置は表示用としてアクティブマトリクス型液晶ディスプレイなどの駆動基板に好適であり、現在盛んに開発が進められている。薄膜トランジスタの活性層には多結晶シリコン又は非晶質シリコンが用いられる。特に、多結晶シリコン薄膜トランジスタは小型で高精細のアクティブマトリクス型カラー液晶表示装置が実現でき、注目を集めている。透明なガラスなどからなる絶縁基板上に画素スイッチング素子として薄膜トランジスタを形成する為、従来の半導体技術では電極材料や抵抗材料としてのみ活用されていた多結晶シリコン薄膜を活性層に利用する技術である。市場で求められる画像品位を実現する為の高密度設計が可能な高性能のスイッチング素子用薄膜トランジスタを実現できる唯一の技術である。これは同時に、従来外付けのICを用いていた周辺回路部を画素アレイ部と同一基板上に同一プロセスで形成することも可能にした。非晶質シリコン薄膜トランジスタでは実現できなかった高精細で且つ周辺回路部一体型のアクティブマトリクス液晶ディスプレイが実現できる。

【0003】 多結晶シリコンは非晶質シリコンに比べキャリア移動度が大きい為、多結晶シリコン薄膜トランジスタの電流駆動能力が高くなり、高速駆動が必要な水平走査回路及び垂直走査回路などの周辺回路部を画素スイッチング用の薄膜トランジスタと同一基板上に同時に作り込むことができる。従って、表示用薄膜半導体装置から外部に取り出す信号線の本数を大幅に削減することができる。又、Nチャネル型及びPチャネル型の薄膜トランジスタを集積形成したCMOS回路をオンチップ化でき、レベルシフト回路の内蔵が可能になりタイミング系信号の低電圧駆動ができる。

【0004】 薄膜トランジスタのデバイス技術及びプロセス技術としては、従来から1000°C以上の処理温度を採用した高温プロセス技術が確立されている。この高温プロセスの特徴は、石英など高耐熱性基板の上に成膜された半導体薄膜を固相成長により改質する点である。固相成長法は1000°C以上の温度で半導体薄膜を熱処理する方法であり、成膜段階では微小なシリコン結晶の集合である多結晶シリコンに含まれる一個一個の結晶粒を大きくする。この固相成長法により得られた多結晶シリコンは100cm²/v.c程度の高いキャリア移動度が得られる。この様な高温プロセスを実施する為には耐熱性に優れた基板の採用が必須であり、従来から高価な石英などを用いていた。しかしながら、石英は製造コスト低減化の観点からは不利である。

## 【0005】 上述した高温プロセスに代えて、600°C

以下の処理温度を採用した低温プロセスが開発されている。薄膜半導体装置の製造工程を低温プロセス化する方法の一環として、レーザビームを用いたレーザアニールが注目を集めている。これは、ガラスなどの低耐熱性絶縁基板上に成膜された非晶質シリコンや多結晶シリコンなど非単結晶性の半導体薄膜にレーザビームを照射して局部的に加熱溶融した後、その冷却過程で半導体薄膜を結晶化するものである。この結晶化した半導体薄膜を活性層（チャネル領域）として多結晶シリコン薄膜トランジスタを集積形成する。結晶化した半導体薄膜はキャリアの移動度が高くなる為、薄膜トランジスタを高性能化できる。特に、アクティブマトリクス液晶ディスプレイの大型化及び高精細化に伴い、駆動周波数の増大化が顕著になっており、薄膜トランジスタの駆動電流能力を高めることが必須である。多結晶シリコン薄膜トランジスタでは、活性層の結晶粒径を大きくし結晶性を向上させることにより、駆動電流の増大化が図られる。

【0006】ところで、薄膜トランジスタは従来トップゲート型の構造が主流である。トップゲート構造は絶縁基板の上に半導体薄膜を成膜し、更にゲート絶縁膜を介して上方にゲート電極を形成する。低温プロセスでは低成本の大型ガラス板を絶縁基板に使用する。このガラス板にはNaなどの不純物金属が多く含まれている為、薄膜トランジスタを駆動する電圧に応じて可動性のNaイオンなどが局在化する。その電界によって薄膜トランジスタの特性が変動するという信頼性上の問題がある。これに対し、近年低温プロセスに適したボトムゲート型の構造が開発されている。これは、ガラス板などの絶縁基板上に金属膜などからなるゲート電極を配置し、その上にゲート絶縁膜を介して半導体薄膜を形成している。ゲート電極がガラス板中の電界を遮蔽する効果があり、構造的な観点から信頼性上トップゲート型に比べボトムゲート型の方が優れている。

#### 【0007】

【発明が解決しようとする課題】しかしながら、ボトムゲート構造はレーザアニールによる結晶化を行なう時に大きな問題がある。再結晶化する半導体薄膜は、概ねチャネル領域となる部分がゲート電極の直上に位置し、ソース領域及びドレイン領域となる部分はガラス板上にある。この為、レーザビームの照射によりエネルギーを与えた時、ガラス板上と金属ゲート電極上では熱の伝導状態や放散状態に相違が出てくる。よって、最適なレーザエネルギーがチャネル領域とソース領域及びドレイン領域で異なる為、大きなキャリア移動度が得られる最適エネルギーでのレーザ照射ができなくなる。即ち、レーザアニールによる再結晶化を行なう場合、金属ゲート電極上の半導体薄膜とガラス板上の半導体薄膜の両者に同時にレーザビームを照射する訳であるが、一旦溶融化して冷却過程で固化する時に、金属ゲート電極上では熱がゲート配線を伝わって水平方向に放散する為、比較的短時

間に固化する。この為、金属ゲート電極上とガラス板上とでは再結晶化した半導体薄膜の結晶粒が異なり、キャリア移動度が均一でなくなる。極端に言うと、金属ゲート電極上の半導体薄膜の結晶粒径を大きくしようとすると、ガラス板上の半導体薄膜は照射エネルギーが高くなり過ぎて蒸発することがある。逆に、ガラス板上の半導体薄膜の結晶状態を正常にしようとすると、金属ゲート電極上の半導体薄膜は結晶粒径が小さくなってしまう。半導体薄膜の結晶性を向上させるには、レーザビームの照射時に散逸する熱エネルギーをできるだけ抑えて、効果的に結晶粒径を増大させることが必要である。この為には、ゲート電極を構成する金属膜などの導電膜の熱伝導率は小さい方がよい。

【0008】一方、液晶ディスプレイにおいては配線抵抗が高いと信号の遅延等の悪影響がある為、信号配線やゲート配線は電気抵抗の低い導電膜で構成することが要求される。液晶ディスプレイのパネル面積が大型化し駆動周波数が増大化すると、配線抵抗の低減化は必須の要求となってくる。特に、ゲート配線は薄膜トランジスタのゲート電極と電気的に接続される為、従来はゲート配線とゲート電極が同一材料で一体形成されることが多い。従って、ゲート配線に対する低抵抗化の要求からゲート電極も必然的に低抵抗の導電膜で構成されることになる。他方、前述した様に、半導体薄膜の結晶性の観点から見るとゲート電極は熱伝導率の小さい方が好ましい。しかしながら、熱伝導率の小さい導電膜は抵抗率が高い物質がほとんどであり、これは前述したゲート配線の低抵抗化とは矛盾する要求となる。

【0009】即ち、ボトムゲート型の薄膜トランジスタを用いた従来の表示用薄膜半導体装置では、薄膜トランジスタの性能向上と配線抵抗の低減化は互いに相反しており、両者を同時に満足させることは極めて困難であった。本発明は以上の課題を解決するものであり、その目的は薄膜トランジスタの高性能化とゲート配線の低抵抗化を同時に満足する薄膜半導体装置を提供することにある。

#### 【0010】

【課題を解決する為の手段】本発明に係る薄膜半導体装置は基本的に、下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を積層したボトムゲート構造の薄膜トランジスタを絶縁基板上に集積形成するとともに、各薄膜トランジスタのゲート電極に接続するゲート配線を該絶縁基板上に形成したものである。特徴事項として、前記ゲート電極は該ゲート配線の少くとも一部より低い熱伝導性を有し、前記ゲート配線の少くとも一部は該ゲート電極より低い電気抵抗を有し、前記半導体薄膜はエネルギー照射により再結晶化された多結晶構造を有する。一実施形態では、前記ゲート配線は、個々のゲート電極と一体的に形成された一体部と、これらを互いに接続する別体部とに分かれている。この場合、前記ゲート電極は該

ゲート配線の別体部より低い熱伝導性を有し、前記ゲート配線の別体部は該ゲート電極より低い電気抵抗を有する。他の実施態様では、前記ゲート電極は、個々のゲート電極と同一の導電層に属する下層部と、これに重ねられた別の導電層からなる上層部とに分かれている。この場合、前記ゲート電極は該ゲート配線の上層部より低い熱伝導性を有し、前記ゲート配線の上層部は該ゲート電極より低い電気抵抗を有する。好ましくは、各薄膜トランジスタのソース電極やドレイン電極を互いに接続する信号配線を含んでおり、該信号配線は前記ゲート配線の一部と同一の導電膜で形成されている。

【0011】本発明によれば、ゲート電極を比較的熱伝導率の低い材料で形成している。これにより、ゲート電極の上と絶縁基板の上とで熱伝導状態の差を少くしている。この為、レーザエネルギーの最適化が可能になり、高品質の多結晶半導体薄膜を得ることができる。又、熱伝導率が低い場合これに応じて電気抵抗は高くなることが一般的である。これは、ゲート配線としては不利な条件である。そこで、本発明ではゲート電極と別にゲート配線を比較的電気抵抗率の低い材料で構成している。即ち、ゲート電極は熱伝導率が低いことを優先した導電膜を用い、ゲート配線は電気抵抗率が低いことを優先した導電膜を用いている。これにより、薄膜トランジスタの移動度を向上させるのに必要な多結晶半導体薄膜の大粒径化と、ゲート配線の低抵抗化を同時に達成できる。即ち、薄膜トランジスタの高性能化と配線の低抵抗化を同時に満足する薄膜半導体装置を実現できる。

#### 【0012】

【発明の実施の形態】以下図面を参照して本発明の最良な実施形態を詳細に説明する。

【0013】図1は本発明に係る薄膜半導体装置の第1実施形態を示す模式図である。(A)は表示用薄膜半導体装置の部分平面図であり、(B)は(A)に示したB-B線に沿った断面図であり、(C)は同じく(A)に示したC-C線に沿った断面図である。図示する様に、本表示用薄膜半導体装置は、下から順にゲート電極1、ゲート絶縁膜2及び半導体薄膜3を積層したボトムゲート構造の薄膜トランジスタ4を絶縁基板5上に集積形成したものである。なお、薄膜トランジスタ4はダブルゲート構造を有しており一对のゲート電極を含んでいる。但し、本発明はこれに限られるものではなくシングルゲート構造の薄膜トランジスタであってもよいことは勿論である。又、各薄膜トランジスタ4のゲート電極1に接続するゲート配線6が絶縁基板5上に形成されている。加えて、行状のゲート配線6と直交する様に列状の信号配線7も形成されている。特徴事項として、ゲート電極1はゲート配線6の少くとも一部より低い熱伝導性を有し、ゲート配線6の少くとも一部はゲート電極1より低い電気抵抗を有している。又、半導体薄膜3はエネルギー

一照射により再結晶化された多結晶構造を有する。本実施形態では、ゲート配線6は個々のゲート電極1と一体的に形成された一体部6aと、これらを互いに接続する別体部6bとに分かれている。一体部6aと別体部6bとはコンタクトホールを介して互いに電気接続されている。この場合、ゲート電極1はゲート配線6の別体部6bより低い熱伝導性を有する。逆に、ゲート配線6の別体部6bはゲート電極1より低い電気抵抗を有する。なお信号配線7はゲート配線6の別体部6bと同一の導電膜で形成されている。

【0014】(B)に示す様に、ボトムゲート構造の薄膜トランジスタ4はゲート電極1の上にゲート絶縁膜2を介して半導体薄膜3が形成されている。その上には、ゲート電極1に整合してストップ12がパタニング形成されている。アイランド状にパタニングされた半導体薄膜3の一端側には不純物が高濃度で注入されたソース電極Sが形成されており、他端側には同じく不純物が高濃度で注入されたドレイン電極Dが形成されている。係る構成を有する薄膜トランジスタ4は層間絶縁膜9により被覆されている。更に、層間絶縁膜9の上にはパシベーション膜10が形成されている。このパシベーション膜10の上には前述した信号配線7が形成されている。この信号配線7は層間絶縁膜9に開口したコンタクトホールを介してドレイン電極Sに電気接続している。信号配線7及び薄膜トランジスタ4の表面は平坦化膜11で被覆されている。この平坦化膜11の上に画素電極8がパタニング形成されており、コンタクトホールを介して薄膜トランジスタ4のドレイン電極Dに電気接続している。

【0015】(C)に示す様に、ゲート配線6を構成する各一体部6aは互いに離間している。両者を接続する様に別体部6bが形成されている。即ち、別体部6bは層間絶縁膜9に開口したコンタクトホールを介して各一体部6aに電気接続している。なお、信号配線7はゲート配線6の別体部6bと同一の導電膜からなる。この場合、信号配線7とゲート配線6の一体部6aとの間の交差部に、絶縁用のパッド14が介在している。このパッド14はストップ12と半導体薄膜3の積層構造からなり、薄膜トランジスタ4を形成する際同時に作り込まれる。

【0016】一般に、ボトムゲート型薄膜トランジスタのゲート電極はAl, W, Ta, Cu, Cr, Ni, Moなどの金属膜、又は高濃度の不純物をドープしたSi、シリサイド、又は上述した金属の合金、あるいはITOなどの透明導電膜が使われる。特に、上述した金属材料の0°Cにおける熱伝導率kと比抵抗ρの値を以下の表に示す。

【表1】

物質	$k(\text{W}/\text{m}\cdot\text{K})$	$\rho(\Omega\cdot\text{cm})\times 10^6$
Al	236	2.5
W	177	4.9
Ta	57	12.3
Cu	403	1.6
Ni	94	6.2
Mo	139	5.0

【0017】上記の表から明らかな様に、熱伝導率と電気抵抗率の関係は互いに相反しており、一方が低ければ、他方は高い関係にある。そこで本発明では、ゲート電極はゲート配線の少くとも一部より低い熱伝導性を有する材料で構成し、逆にゲート配線の少くとも一部はゲート電極より低い電気抵抗を有する材料で構成している。

【0018】次に、図2～図4を参照して、図1に示した表示用薄膜半導体装置の製造方法を詳細に説明する。なお、各図において(A)は部分平面形状を表わし、(B)は(A)に示したB-B線に沿った断面構造を表わし、(C)は同じく(A)に示したC-C線に沿った断面構造を表わしている。まず、図2に示す様に、絶縁基板5上に、熱伝導率の低い導電膜を成膜する。材料としては、TaあるいはTaとMoの合金(以下、Mo/Taと表記する)などが挙げられる。本実施形態では、Mo/Taを用いた。Mo/Taの熱伝導率はMoとTaの組成比によって異なるが、Taの熱伝導率よりは低い。その膜厚は200nm程度が望ましい。このMo/Taからなる導電膜をパタニングし、ゲート電極1と一体部6aとに加工する。なお、この一体部6aは後にゲート配線の一部を構成するものである。この上にプラズマCVD法でSiNx膜を50nmの厚みで成膜し、更にSiO2膜を100nmの厚みで連続成膜して、ゲート絶縁膜2とする。更に、プラズマCVD法により非晶質シリコンの半導体薄膜3を30～40nmの厚みとなる様にゲート絶縁膜2に連続して成膜する。ここで、400～450°Cの温度で2時間程度窒素雰囲気中でアニールを行ない、非晶質シリコン中の水素を脱離させる。この脱水素化アニール後、レーザ光を照射して非晶質シリコンを多結晶シリコンに転換する。このレーザ結晶化の際、ゲート電極1を構成する導電膜(Mo/Ta)の熱伝導率が比較的低いので、レーザアニール時半導体薄膜3を加熱する時間を比較的長く確保することができる。この為、得られた多結晶シリコンの結晶粒径は大きくなり良好な結晶性を持つ半導体薄膜3が得られる。例えば、本実施形態ではレーザエネルギーは300～400mJ/cm2に設定されており、レーザビームの形状はライン状である。その長軸方向の長さは150～300mm、短軸方向の長さは0.3～1.0mmである。ライン状のレーザビームは短軸方向に沿って部分的に重ねながら照射を行なう。短軸方向のレーザビームのオーバーラップ量は90～99%に設定した。又、ここでは

XeClのエキシマレーザ光源を用い、ビームのパルス周波数は50～200Hzであり、パルスの継続時間は25nsである。この様な条件下で、実際にレーザアニールを行なうと、半導体薄膜3の結晶粒径は平均400nmとなり、最大では2～3μmに及ぶ巨大な結晶粒が得られる。即ち、半導体薄膜3の下地となるゲート電極1の材料として熱伝導率kが60W/m·K以下のMo/Taを選択した結果である。

【0019】次に図3に示す様に、再びプラズマCVD法でSiO2を100nmの厚みで成膜する。続いて、裏面露光を行ないSiO2をゲート電極1や一体部6aと整合したパターンに加工する。これにより、ストップ12が得られる。この後、ストップ12をマスクとしてイオンドーピングにより不純物を半導体薄膜3に注入し、ソース電極S及びドレイン電極Dを設ける。これにより、ボトムゲート構造の薄膜トランジスタ4が得られる。この後、レーザアニール、熱アニール、RTAなどで半導体薄膜3に注入された不純物を活性化させる。この段階で、半導体薄膜3をアイランド状にエッチングする。加えて、ストップ12もエッチングし、不要な部分から除去する。この結果、半導体薄膜3は薄膜トランジスタ4の素子領域と、パッド14の部分に残される。又、ストップ12はゲート電極1の直上とパッド14のみに残される。この後、SiO2を約200～600nmの厚みで成膜し、層間絶縁膜9とする。このSiO2の成膜方法はプラズマCVD法でも、常圧CVD法、減圧CVD法、スパッタなど何れの方法でもよい。更に、SiNxを約100～400nmの厚みで層間絶縁膜9上に成膜し、パシベーション膜10とする。このパシベーション膜10の成膜方法はプラズマCVD法を用いる。この状態で、300～400°Cの温度下1～2時間程度窒素ガス雰囲気中又はフォーミングガス雰囲気中あるいは真空中でアニールし、水素を半導体薄膜3中に拡散させる。なお、パシベーション膜10は必ずしも必要ではなく、層間絶縁膜9のみの状態でアニールしてもよい。

【0020】最後に図4に示す様に、層間絶縁膜9にコンタクトホールを開口し、比較的抵抗率の低い導電体であるMo、Alなどをスパッタし、所定の形状にパタニングして信号配線7に加工する。この時、縦方向の信号配線7のみならず、横方向の別体部6bも同時に形成する。この低抵抗の別体部6bはコンタクトホールを介して一体部6aと電気接続しており、横方向のゲート配線

6が完成する。この様な構造にすることにより、レーザアニール時半導体薄膜3の下部に位置することになるゲート電極1の熱伝導率を低くし、且つゲート配線6の抵抗を低くすることが可能になる。この後、図示しないが、平坦化膜を塗布し、コンタクトホールを開け、ITOなどの透明導電膜をスパッタする。このITOを所定の形状にパタニングして画素電極に加工すれば、表示用薄膜半導体装置が得られる。(C)に示す様に、ゲート配線6は熱伝導率の比較的低い一体部6aと抵抗率の比較的低い別体部6bとから構成されている。別体部6bは層間絶縁膜9に開口したコンタクトホールを介して一体部6aの各々に接続している。

【0021】次に、図5を参照して本発明に係る薄膜半導体装置の第2実施形態を詳細に説明する。(A)に示す様に、絶縁基板上に熱伝導率の低い導電膜、例えばTaあるいはMo/Taを成膜する。次いで、この導電膜をパタニングしゲート電極1と下層部6cとに加工する。なお、この下層部6cはゲート電極1と同一の導電層に属し、後工程でゲート配線の一部を構成するものである。この後、前述した第1実施形態と同様のプロセスを行ない、(B)に示す様に薄膜トランジスタ4及びパッド14を設ける。最後に(C)に示す様に、薄膜トランジスタ4を被覆する様に層間絶縁膜及びパシベーション膜を成膜する。これらの膜にコンタクトホールを開口する。この時同時に、下層部6cの上部から不要な絶縁膜を全て除去しておく。この様な状態で、抵抗率の低い導電体であるMo, Alなどをスパッタする。これを所定の形状にパタニングして信号配線7に加工する。この時同時に、同一の導電体でゲート配線6の上層部6dを設ける。即ち、本実施形態ではゲート配線6は比較的熱伝導率の低い下層部6cと比較的抵抗率の低い上層部6dとを重ねた積層構造となっている。

【0022】図6は、前述した第2実施形態の完成状態を示す模式的な部分平面図である。完成品状態では画素電極8が形成されており、コンタクトホールを介して対応する薄膜トランジスタ4のドレイン電極Dに電気接続している。

【0023】図7は、図6に示した表示用薄膜半導体装置のC-C線に沿って切断した断面形状を表わしている。図から明らかな様に、ゲート配線6はMo/Taなどからなる比較的低熱伝導性の下層部6cとAlなどからなる比較的低抵抗の上層部6dとを重ねた積層構造となる。一方、ゲート電極はMo/Taからなる比較的低熱伝導性の導電膜のみからなる。この構造でも、第1実施形態と同様にレーザアニール時半導体薄膜の下部に位置することになるゲート電極の熱伝導率を低くし、且つゲート配線6の電気抵抗を低くすることが可能である。ゲート配線6は基本的に連続した下層部6cで構成するが、抵抗率の低い上層部6dが重なった積層構造となるので、配線抵抗を全体として低く抑えることが可能であ

る。

【0024】最後に図8は本発明に係る薄膜半導体装置を駆動基板として組み立てられたアクティブマトリクス型表示装置の一例を示す模式的な斜視図である。この表示装置は一方の絶縁基板5と他方の絶縁基板20との間に液晶などからなる電気光学物質21を保持した構造となっている。一方の絶縁基板5には画素アレイ部と周辺回路部とが集積形成されている。周辺回路部は垂直走査回路22と水平走査回路23とに分かれている。又、絶縁基板5の上端側には外部接続用の端子電極24も形成されている。各端子電極24は配線25を介して垂直走査回路22及び水平走査回路23に接続している。画素アレイ部には互いに交差するゲート配線6と信号配線7とが形成されている。ゲート配線6は垂直走査回路22に接続し、信号配線7は水平走査回路23に接続している。両配線6, 7の交差部には画素電極8とこれを駆動する薄膜トランジスタ4とが形成されている。他方の基板20の内表面には図示しないが対向電極が形成されている。なお、垂直走査回路22及び水平走査回路23内にもボトムゲート型の薄膜トランジスタが集積形成されている。この薄膜トランジスタのゲート電極及びゲート配線も本発明に従って構成されている。即ち、ゲート電極はゲート配線の少くとも一部より低い熱伝導性を有し、ゲート配線の少くとも一部はゲート電極より低い電気抵抗を有している。

【0025】

【発明の効果】以上説明したように、本発明によれば、ゲート電極は比較的熱伝導性が低い材料で構成されており、ゲート配線は比較的電気抵抗が低い材料で構成されている。係る構成により、半導体薄膜はゲート絶縁膜を介してゲート電極の上に配置された状態でエネルギー照射を受け、均一且つ最適に再結晶化された多結晶構造を呈することが可能になる。一方、ゲート配線はゲート電極とは別に電気抵抗の低減化が可能になる。係る構成により、薄膜トランジスタの移動度を向上させるのに必要な多結晶半導体薄膜の大粒径化と、ゲート配線の低抵抗化を同時に達成できる。即ち、ボトムゲート型の薄膜トランジスタの高性能化と配線の低抵抗化を同時に満足する表示用薄膜半導体装置を容易に得ることができるの、アクティブマトリクス液晶ディスプレイの大型化と高性能化、特に駆動用周辺回路をパネル内に集積化した高解像度液晶ディスプレイの実現に大きく寄与し、本発明の効果は多大なものがある。

【図面の簡単な説明】

【図1】本発明に係る薄膜半導体装置の第1実施形態を示す部分平面図及び部分断面図である。

【図2】第1実施形態の製造工程図である。

【図3】第1実施形態の製造工程図である。

【図4】第1実施形態の製造工程図である。

【図5】本発明に係る薄膜半導体装置の第2実施形態を

示す製造工程図である。

【図6】第2実施形態の完成状態を示す部分平面図である。

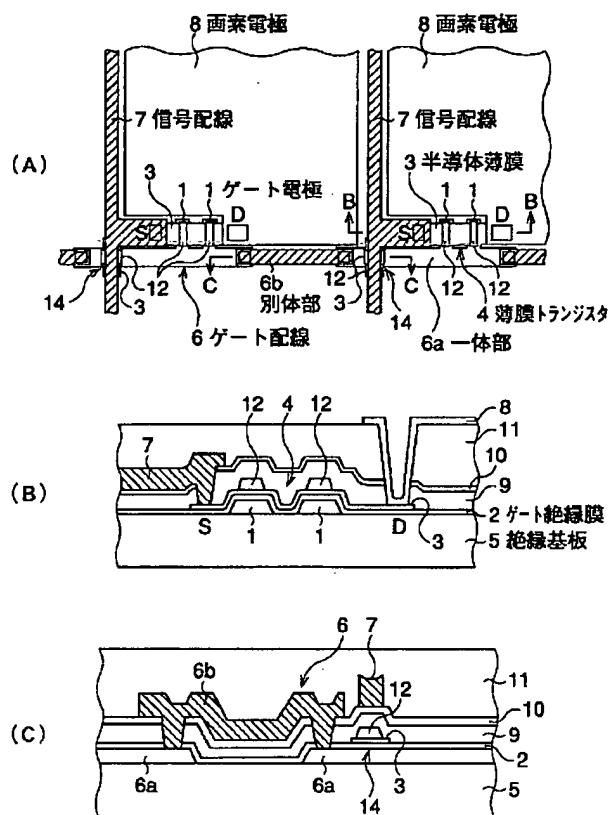
【図7】第2実施形態の完成状態を示す断面図である。

【図8】本発明に係る薄膜半導体装置を用いて組み立てられたアクティブマトリクス表示装置の一例を示す模式的な斜視図である。

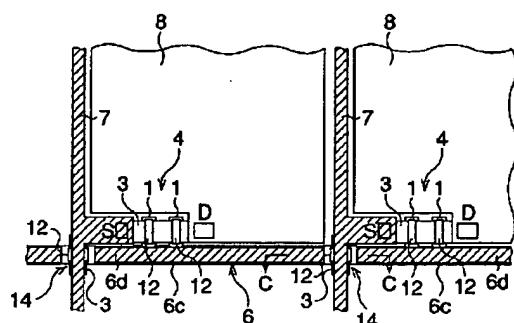
### 【符号の説明】

1 … ゲート電極、2 … ゲート絶縁膜、3 … 半導体薄膜、4 … 薄膜トランジスタ、5 … 絶縁基板、6 … ゲート配線、6a … 一体部、6b … 別体部、6c … 下層部、6d … 上層部、7 … 信号配線、8 … 画素電極、9 … 層間絶縁膜、10 … パシベーション膜、11 … 平坦化膜

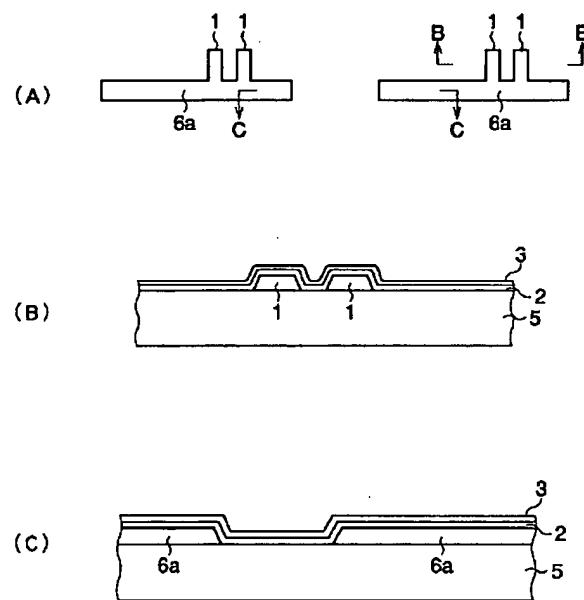
【図1】



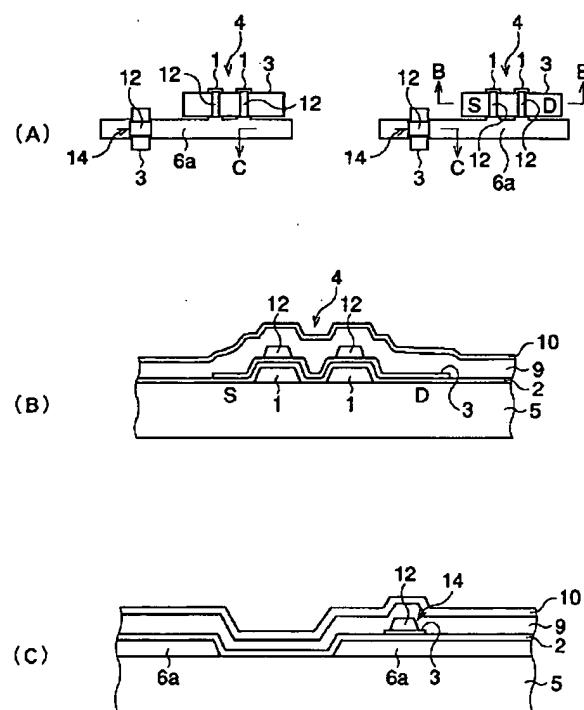
【図6】



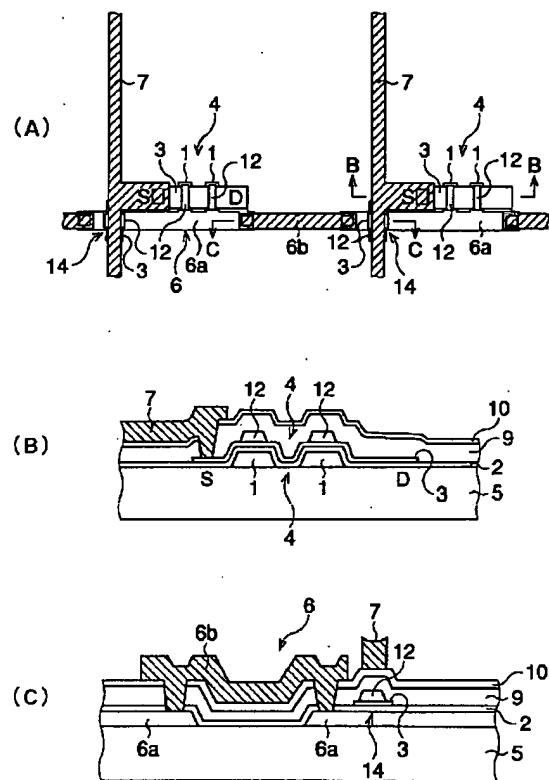
【図2】



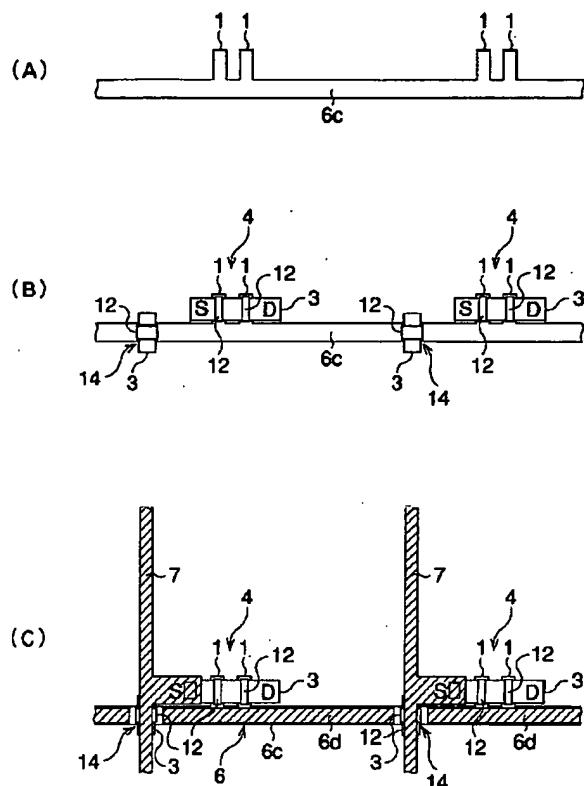
【図3】



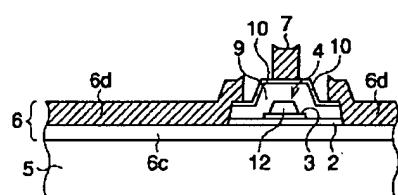
【図4】



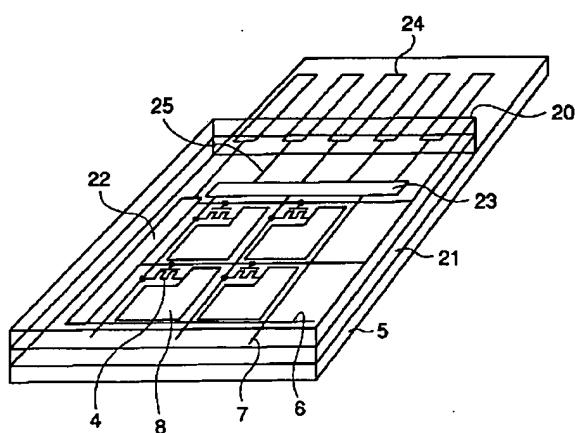
【図5】



【図7】



【図8】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I  
H 01 L 29/78

6 2 7 G